

FR800X 硬件应用指南

Bluetooth Low Energy SOC

Rev: V1.4

2023.11.21

www.freqchip.com



目 录

1. FR800x 系列芯片简介	- 2 -
2. FR800x 引脚封装图	- 3 -
2.1 FR8003x 引脚封装图	- 3 -
2.2 FR8008XP 引脚封装图	- 4 -
2.3 FR8008A 引脚封装图	- 5 -
2.4 FR800x 引脚定义	- 6 -
3. FR800X 应用参考设计原理图	- 10 -
3.1 FR8003A 参考设计原理图	- 10 -
3.2 FR8003D 参考设计原理图	- 11 -
3.3 FR8008AP 参考设计原理图	- 12 -
3.4 FR8008XP 参考设计原理图	- 13 -
3.5 FR8008A 参考设计原理图	- 14 -
4. 应用设计注意事项	- 15 -
4.1 原理图设计注意事项	- 15 -
4.2 PCB Layout 注意事项	- 15 -
4.3 GPIO 注意事项	- 16 -
4.4 射频电路部分	- 16 -
4.5 晶振电路部分	- 17 -
4.6 ADC I/O 使用说明	- 17 -
4.7 系统设计	- 18 -
5. PCB 参考天线	- 19 -
联系方式 Contact Information	- 20 -
修订历史 Revision History	- 20 -

1. FR800x 系列芯片简介

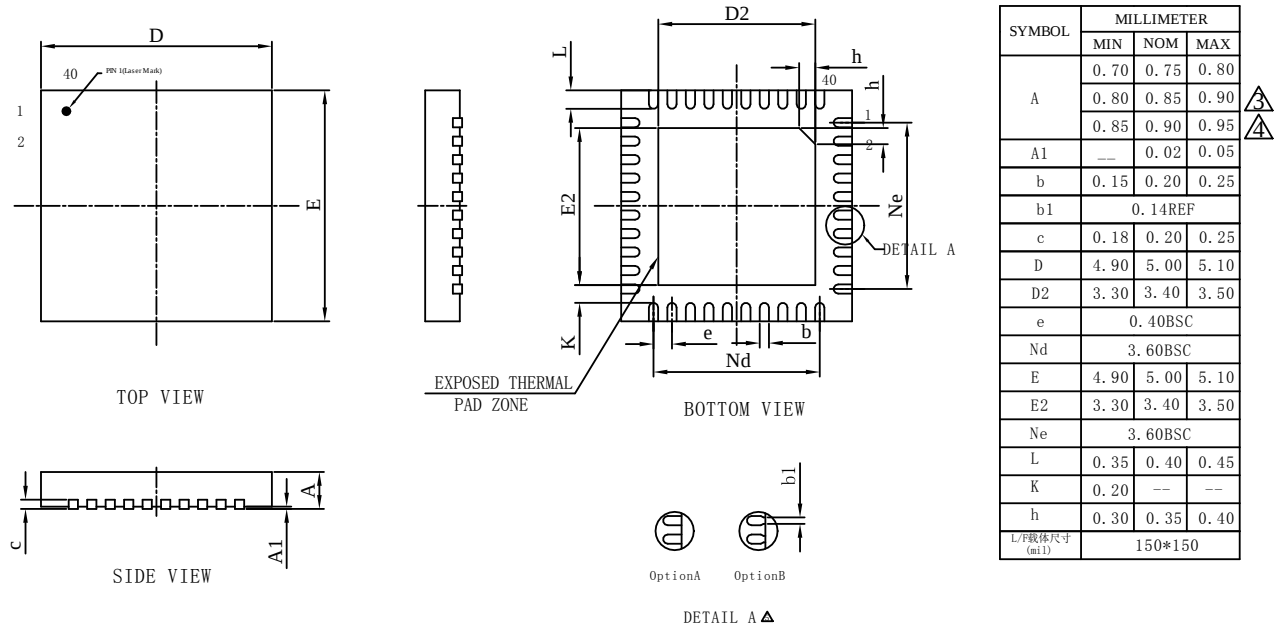
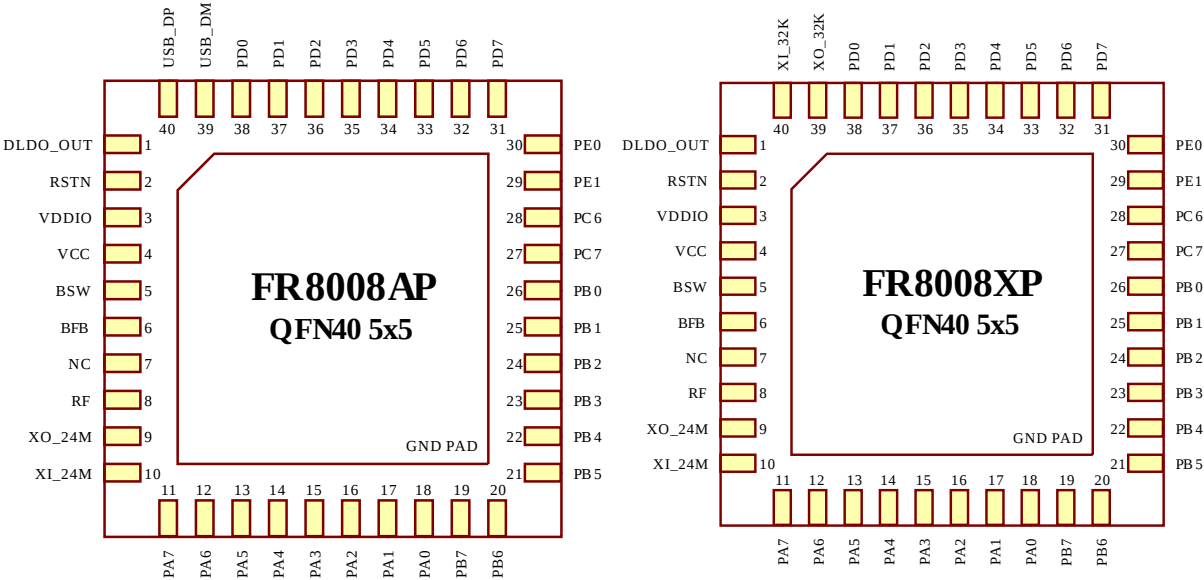
- FR800x 集成 RF、PMU、QSPI、I2C、UART、GPIO、ADC、PWM、USB OTG、Keyboard scan、Batter Charger 等模块。支持蓝牙 V5.0 LE，支持 2M、1M、500K、125K 数据速率。内置 56KB PSRAM（部分芯片支持 56KB+2Mb PSRAM）、4Mb Flash（部分型号最大可以支持 128Mb），支持 BLE 协议：GATT，LM，LC 等，支持标准 SIG Mesh。显示屏接口支持 SPI、QSPI、MCU8080-8bit/16bit。
- PCB 布局合理，走线清晰，接地良好是做好设计的基本要求。FR800x 外围器件较少，可以使用双面板进行设计，从而节省成本。双面板设计时 PCB 顶层用于摆件和走信号线，底层走电源线并尽可能保证一个完整的地平面。
 - FR800x 系列型号
 - FR8003A，内置 4Mb Flash，QFN20_L3×W3×T0.75_P0.4mm 封装
 - FR8003D，内置 8Mb Flash，QFN20_L3×W3×T0.75_P0.4mm 封装
 - FR8008AP，内置 4Mb Flash，QFN40_L5×W5×T0.9_P0.4 封装
 - FR8008FP，内置 32Mb Flash，QFN40_L5×W5×T0.9_P0.4 封装
 - FR8008GP，内置 64Mb Flash，QFN40_L5×W5×T0.9_P0.4 封装
 - FR8008HP，内置 128Mb Flash，QFN40_L5×W5×T0.9_P0.4 封装
 - FR8008A，内置 4Mb Flash，QFN48_L6×W6×T0.75_P0.4 封装
- 应用场景
 - 智能手环
 - 智能家居
 - 家电旋钮屏
 - USB Dongle
 - 遥控器
 - 多连接私有组网
 - Mesh 组网
 - 鼠标
 - 键盘
 - 智能门锁
 - 数据透传模组

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
	0.85	0.90	0.95
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.203REF		
D	2.90	3.00	3.10
D2	1.80	1.90	2.00
e	0.40BSC		
Ne	1.60BSC		
Nd	1.60BSC		
E	2.90	3.00	3.10
E2	1.80	1.90	2.00
L	0.20	0.25	0.30
h	0.25	0.30	0.35
K	0.30REF		

****特殊设计** : 引脚长度L是0.25mm;

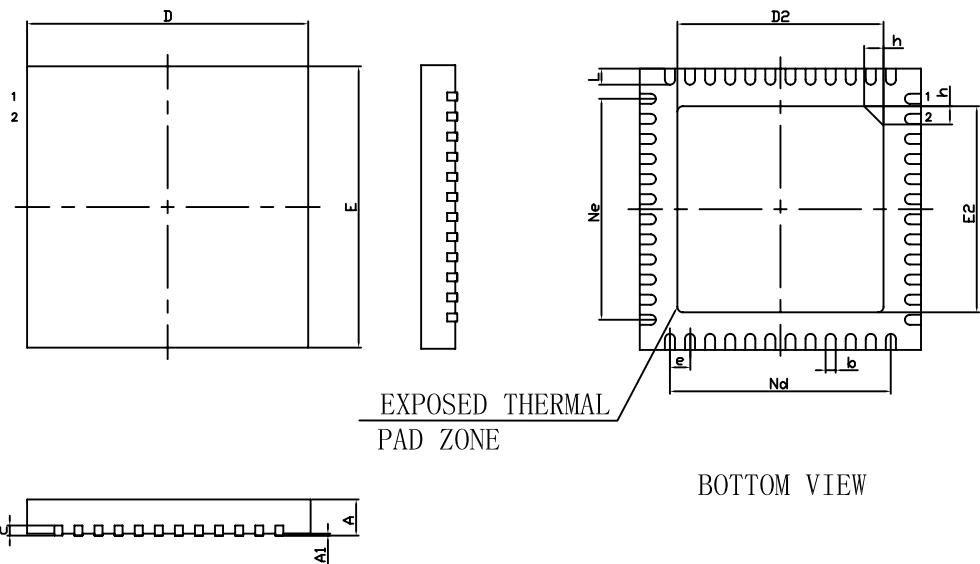
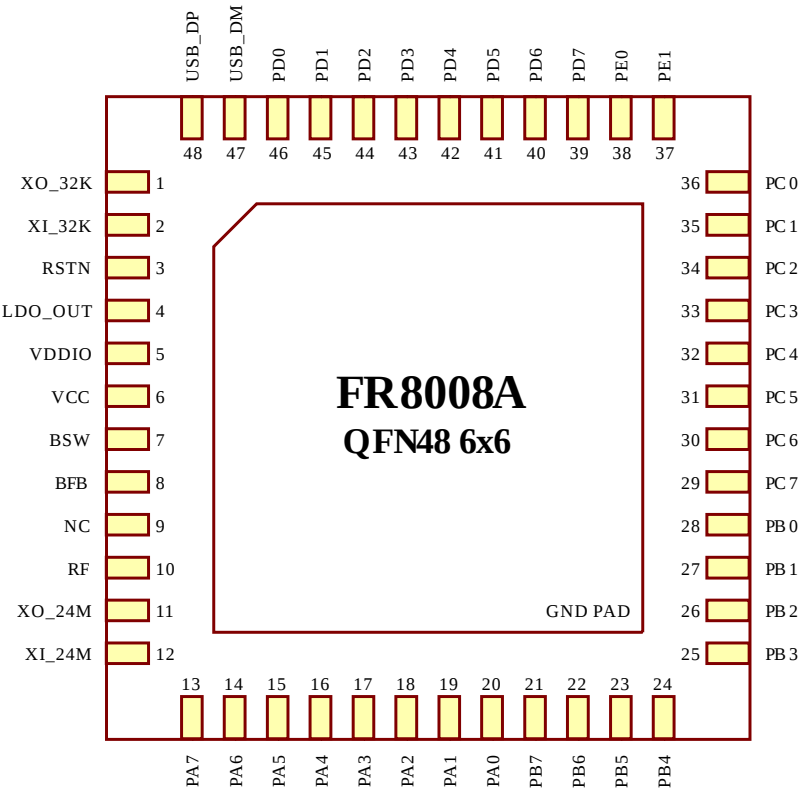
2.2 FR8008XP 引脚封装图

- FR8008AP/XP 采用 QFN40 5x5 封装



2.3 FR8008A 引脚封装图

- FR8008A 采用 QFN48 6x6 封装



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.23
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40
L/F载体尺寸 (MIL)	177*177		

2.4 FR800x 引脚定义

符号	说明
I	数字输入
O	数字输出
DIO	数字双向传输
AI	模拟输入
AO	模拟输出
AIO	模拟双向传输
PWR	电源
GND	地

引脚号					引脚名	类型	引脚功能
FR8008A	FR8008AP	FR8008XP	FR8003A	FR8003D			
	1	1			DLDO_OUT	PWR	内部数字电源
3	2	2			RSTN	AI	复位脚、低电平有效
5	3	3	18	18	VDDIO	PWR	I/O 电源, 可对外输出供电(1.8-3.3V/80mA)
6	4	4	19	19	VCC	PWR	电源输入(1.8-3.3V)
7	5	5	20	20	BSW	AO	DC/DC 输出
8	6	6	1	1	BFB	AI	DC/DC 反馈输入端
9	7	7		2	NC		未使用
10	8	8	3	3	RF	AIO	射频信号接口
11	9	9	4	4	XTALI_24M	AI	24MHz 晶振输入端
12	10	10	5	5	XTALO_24M	AO	24MHz 晶振输出端
13	11	11			PA7	DIO	PA7 / I2C1.DAT / SPIM0.CSN / SPIS.MISO / UCTS0 / UTXD1 / PWM7 / PDM.DAT / CLK.OUT / RS485.EN / I2S.MISO
14	12	12			PA6	DIO	PA6 / I2C1.CLK / SPIM0.CLK / SPIS.MOSI / URTS0 / URXD1 / PWM6 / PDM.CLK / ANT.RX / SIROUT / I2S.MOSI
15	13	13	6	6	PA5	DIO	PA5 / I2C0.DAT / SPIM0.IO3 / SPIS.CSN / UTXD0 / USBDM / PWM5 / PDM.DAT / ANT.TX / SIRIN / I2S.FRM
16	14	14	7	7	PA4	DIO	PA4 / I2C0.CLK / SPIM0.IO2 / SPIS.CLK / URXD0 / USBDP / PWM4 / PDM.CLK / CLK.OUT / I2S.BCLK

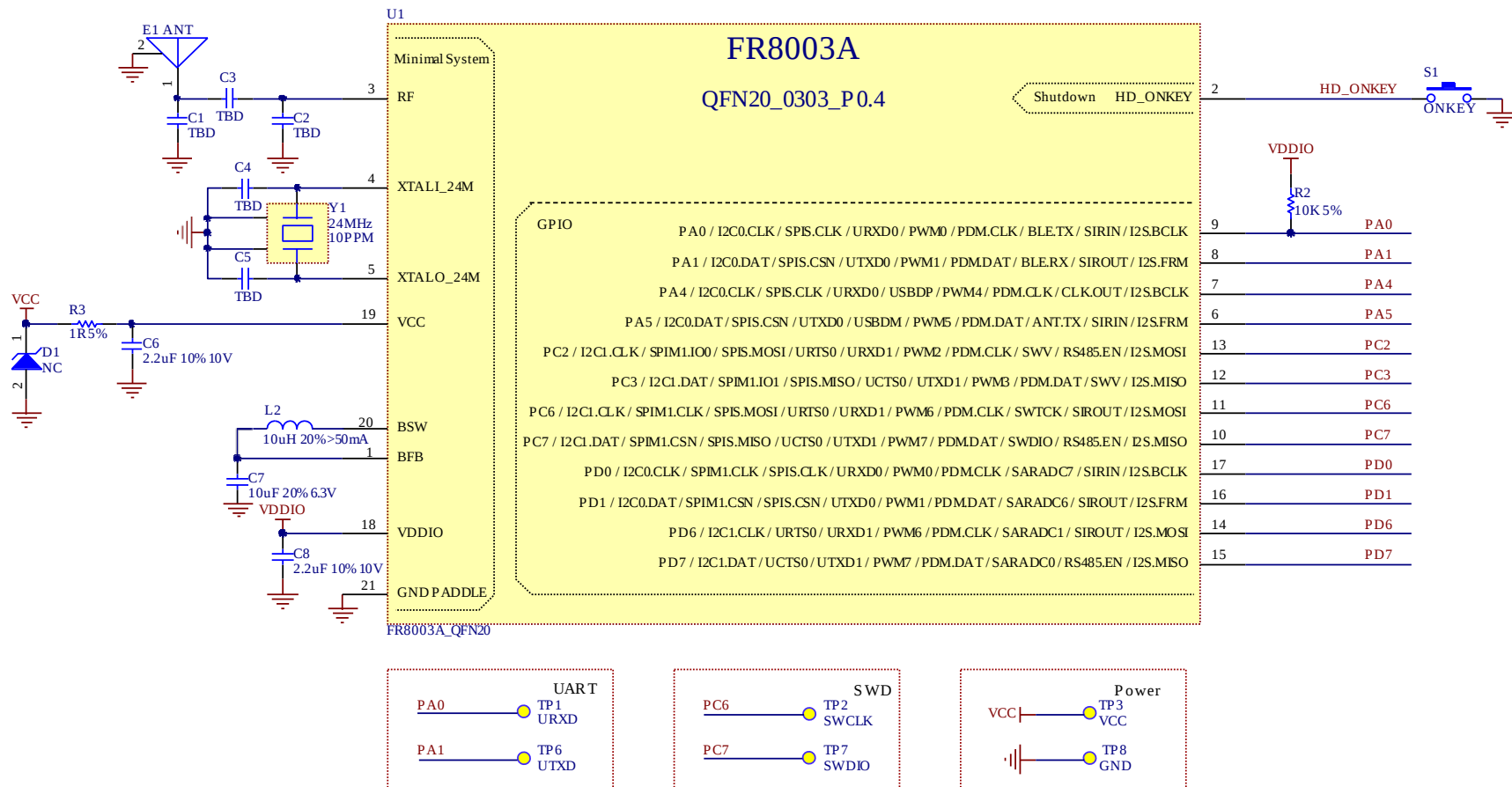
引脚号					引脚名	类型	引脚功能
FR8008A	FR8008AP	FR8008XP	FR8003A	FR8003D			
17	15	15			PA3	DIO	PA3 / I2C1.DAT / SPIM0.IO1 / SPIS.MISO / UCTS0 / UTXD1 / PWM3 / PDM.DAT / WLAN.RX / I2S.MISO
18	16	16			PA2	DIO	PA2 / I2C1.CLK / SPIM0.IO0 / SPIS.MOSI / URTS0 / URXD1 / PWM2 / PDM.CLK / WLAN.TX / RS485.EN / I2S.MOSI
19	17	17	8	8	PA1	DIO	PA1 / I2C0.DAT / SPIM0.CSN / SPIS.CSN / UTXD0 / USBDM / PWM1 / PDM.DAT / BLE.RX / SIROUT / I2S.FRM
20	18	18	9	9	PA0	DIO	PA0 / I2C0.CLK / SPIM0.CLK / SPIS.CLK / URXD0 / USBDP / PWM0 / PDM.CLK / BLE.TX / SIRIN / I2S.BCLK
21	19	19			PB7	DIO	PB7 / I2C1.DAT / SPIM0.CSN / SPIS.MISO / UCTS0 / UTXD1 / PWM7 / PDM.DAT / CLK.OUT / RS485.EN / I2S.MISO
22	20	20			PB6	DIO	PB6 / I2C1.CLK / SPIM0.CLK / SPIS.MOSI / URTS0 / URXD1 / PWM6 / PDM.CLK / ANT.RX / SIROUT / I2S.MOSI
23	21	21			PB5	DIO	PB5 / I2C0.DAT / SPIM0.IO3 / SPIS.CSN / UTXD0 / USBDM / PWM5 / PDM.DAT / ANT.TX / SIRIN / I2S.FRM
24	22	22			PB4	DIO	PB4 / I2C0.CLK / SPIM0.IO2 / SPIS.CLK / URXD0 / USBDP / PWM4 / PDM.CLK / CLK.OUT / LCD.DCX / I2S.BCLK
25	23	23			PB3	DIO	PB3 / I2C1.DAT / SPIM0.IO1 / SPIS.MISO / UCTS0 / UTXD1 / PWM3 / PDM.DAT / WLAN.RX / LCD.CSX / BURN.SPIMISO
26	24	24			PB2	DIO	PB2 / I2C1.CLK / SPIM0.IO0 / SPIS.MOSI / URTS0 / URXD1 / PWM2 / PDM.CLK / WLAN.TX / RS485.EN / BURN.SPIMOSI
27	25	25			PB1	DIO	PB1 / I2C0.DAT / SPIM0.CSN / SPIS.CSN / UTXD0 / USBDM / PWM1 / PDM.DAT / BLE.RX / SIROUT / BURN.SPICSN
28	26	26			PB0	DIO	PB0 / I2C0.CLK / SPIM0.CLK / SPIS.CLK / URXD0 / USBDP / PWM0 / PDM.CLK / BLE.TX / SIRIN / BURN.SPICKL
29	27	27	10	10	PC7	DIO	PC7 / I2C1.DAT / SPIM1.CSN / SPIS.MISO / UCTS0 / UTXD1 / PWM7 / PDM.DAT / SWDIO / RS485.EN / I2S.MISO
30	28	28	11	11	PC6	DIO	PC6 / I2C1.CLK / SPIM1.CLK / SPIS.MOSI / URTS0 / URXD1 / PWM6 / PDM.CLK / SWTCK / SIROUT / I2S.MOSI
37	29	29			PE1	DIO	PE1 / I2C0.DAT / SPIM1.IO1 / SPIS.CSN / UTXD0 / UTXD1 / PWM1 / PDM.DAT / BLE.RX / SIROUT / USBDM
38	30	30			PE0	DIO	PE0 / I2C0.CLK / SPIM1.IO0 / SPIS.CLK / URXD0 / URXD1 / PWM0 / PDM.CLK / BLE.TX / SIRIN / USBDP
39	31	31	15	15	PD7	DIO	PD7 / I2C1.DAT / SPIM1.CSN / SPIS.MISO / UCTS0 / UTXD1 / PWM7 / PDM.DAT / SARADC0 / RS485.EN / I2S.MISO

引脚号					引脚名	类型	引脚功能
FR8008A	FR8008AP	FR8008XP	FR8003A	FR8003D			
40	32	32	14	14	PD6	DIO	PD6 / I2C1.CLK / SPIM1.CLK / SPIS.MOSI / URTS0 / URXD1 / PWM6 / PDM.CLK / SARADC1 / SIROUT / I2S.MOSI
41	33	33			PD5	DIO	PD5 / I2C0.DAT / SPIM1.IO3 / SPIS.CSN / UTXD0 / PWM5 / PDM.DAT / SARADC2 / SIRIN / I2S.FRM
42	34	34			PD4	DIO	PD4 / I2C0.CLK / SPIM1.IO2 / SPIS.CLK / URXD0 / PWM4 / PDM.CLK / SARADC3 / I2S.BCLK
43	35	35			PD3	DIO	PD3 / I2C1.DAT / SPIM1.IO1 / SPIS.MISO / UCTS0 / UTXD1 / PWM3 / PDM.DAT / SARADC4 / I2S.MISO
44	36	36			PD2	DIO	PD2 / I2C1.CLK / SPIM1.IO0 / SPIS.MOSI / URTS0 / URXD1 / PWM2 / PDM.CLK / SARADC5 / RS485.EN / I2S.MOSI
45	37	37	17	17	PD1	DIO	PD1 / I2C0.DAT / SPIM1.CSN / SPIS.CSN / UTXD0 / PWM1 / PDM.DAT / SARADC6 / SIROUT / I2S.FRM
46	38	38	16	16	PD0	DIO	PD0 / I2C0.CLK / SPIM1.CLK / SPIS.CLK / URXD0 / PWM0 / PDM.CLK / SARADC7 / SIRIN / I2S.BCLK
47	39		-	-	USB_DM	DIO	USB 数据信号负
48	40		-	-	USB_DP	DIO	USB 数据信号正
1		39			XTALO_32K	AO	32KHz 晶振输出端
2		40			XTALI_32K	AI	32KHz 晶振输入端
			2		ONKEY	AI	硬件开机，关机电流<1uA
31					PC5		PC5 / I2C0.DAT / SPIM1.IO3 / SPIS.CSN / UTXD0 / LCD.RDX / PWM5 / PDM.DAT / SWV / SIRIN / I2S.FRM / PSRAM.IO0 / LCD.D13
32					PC4		PC4 / I2C0.CLK / SPIM1.IO2 / SPIS.CLK / URXD0 / LCD.WRX / PWM4 / PDM.CLK / ANT.RX / LCD.TE / I2S.BCLK / PSRAM.IO2 / LCD.D12
33			12	12	PC3		PC3 / I2C1.DAT / SPIM1.IO1 / SPIS.MISO / UCTS0 / UTXD1 / PWM3 / PDM.DAT / SWV / I2S.MISO
34			13	13	PC2		PC2 / I2C1.CLK / SPIM1.IO0 / SPIS.MOSI / URTS0 / URXD1 / PWM2 / PDM.CLK / SWV / RS485.EN / I2S.MOSI
35					PC1		PC1 / I2C0.DAT / SPIM1.CSN / SPIS.CSN / UTXD0 / LCD.DCX / PWM1 / PDM.DAT / SWV / SIROUT / I2S.FRM / PSRAM.CLK / LCD.D9

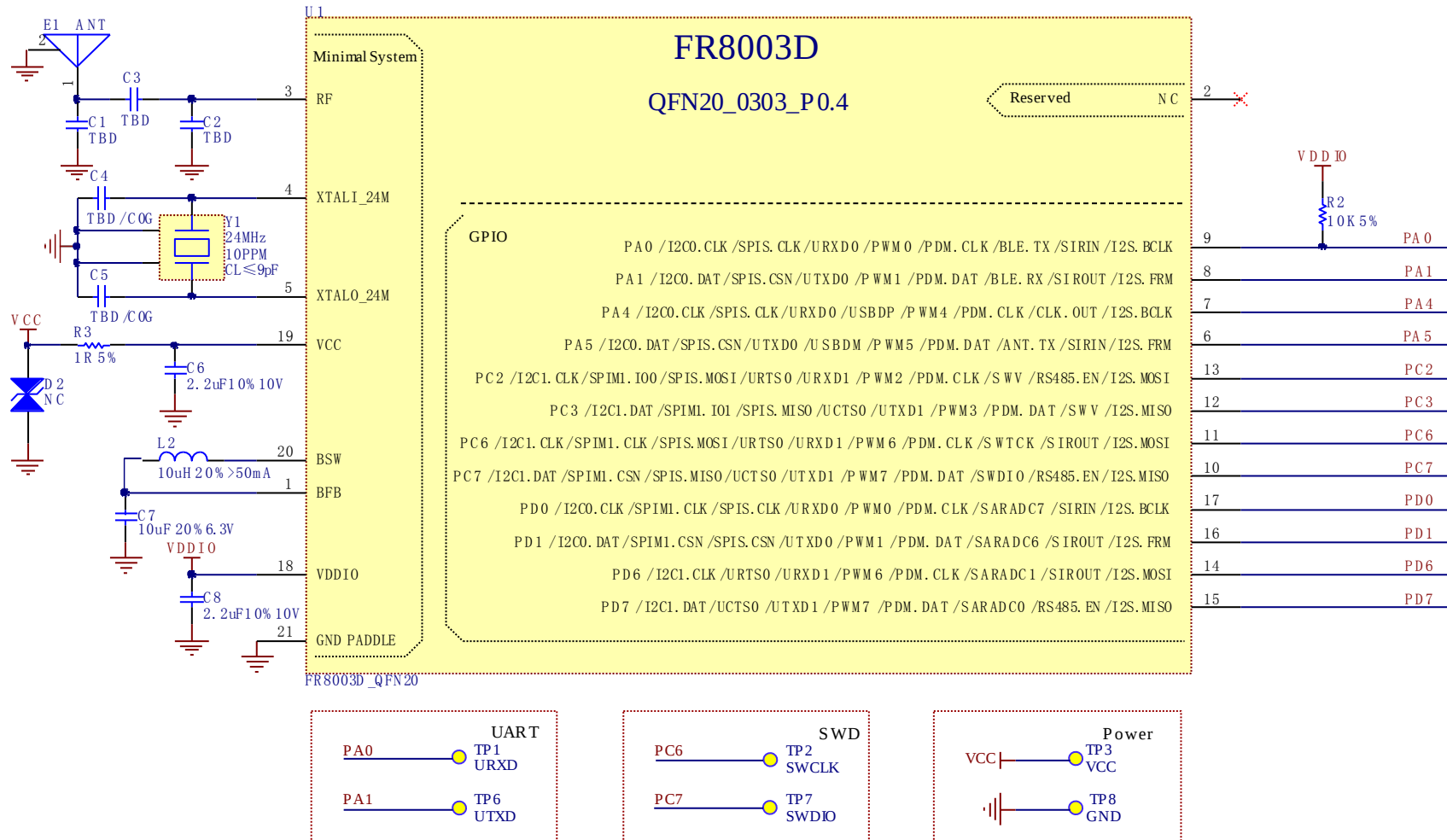
引脚号					引脚名	类型	引脚功能
FR8008A	FR8008AP	FR8008XP	FR8003A	FR8003D			
36					PC0		PC0 / I2C0.CLK / SPIM1.CLK / SPIS.CLK / URXD0 / LCD.CSX / PWM0 / PDM.CLK / SWV / SIRIN / I2S.BCLK / PSRAM.IO3 / LCD.D8

3. FR800X 应用参考设计原理图

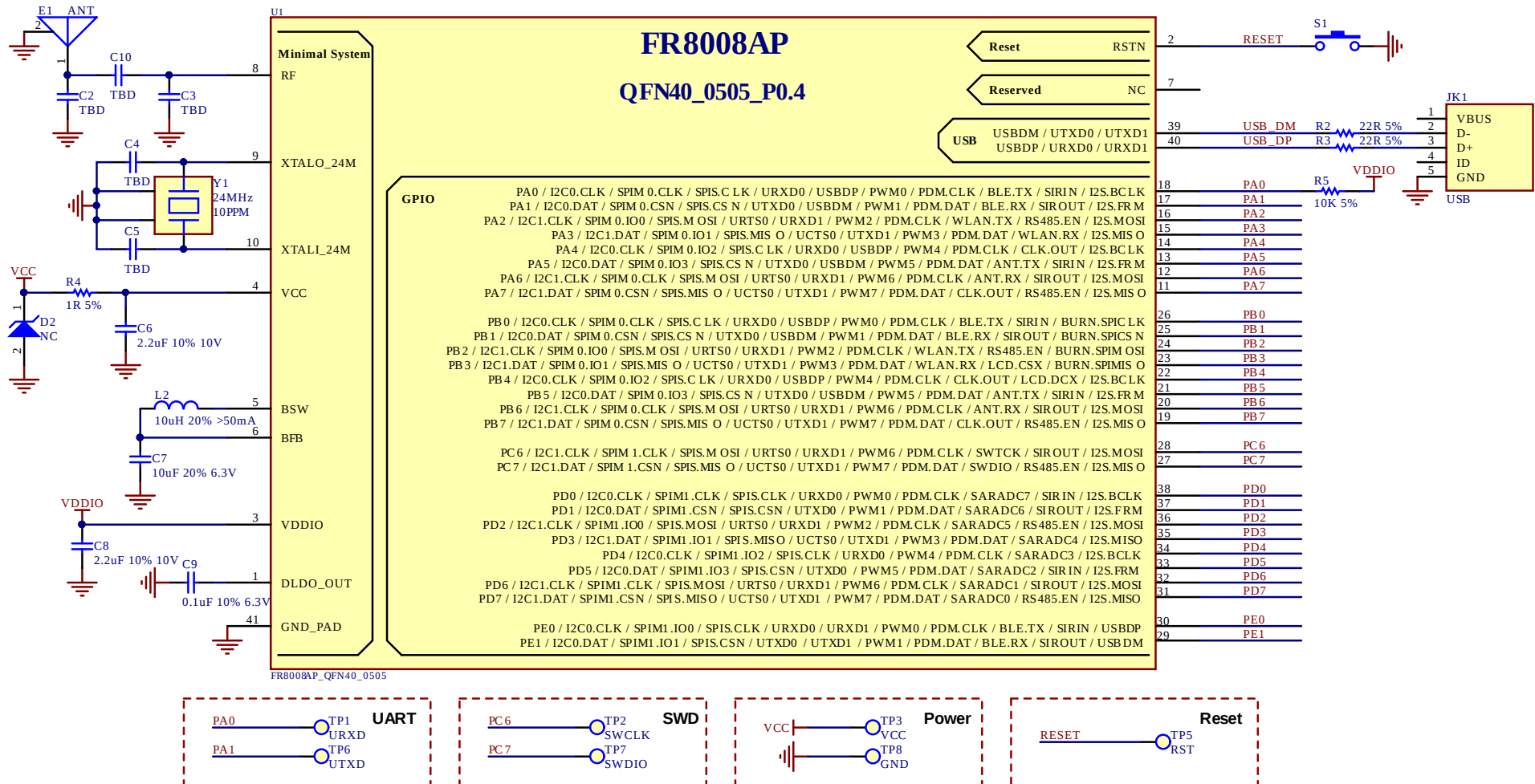
3.1 FR8003A 参考设计原理图



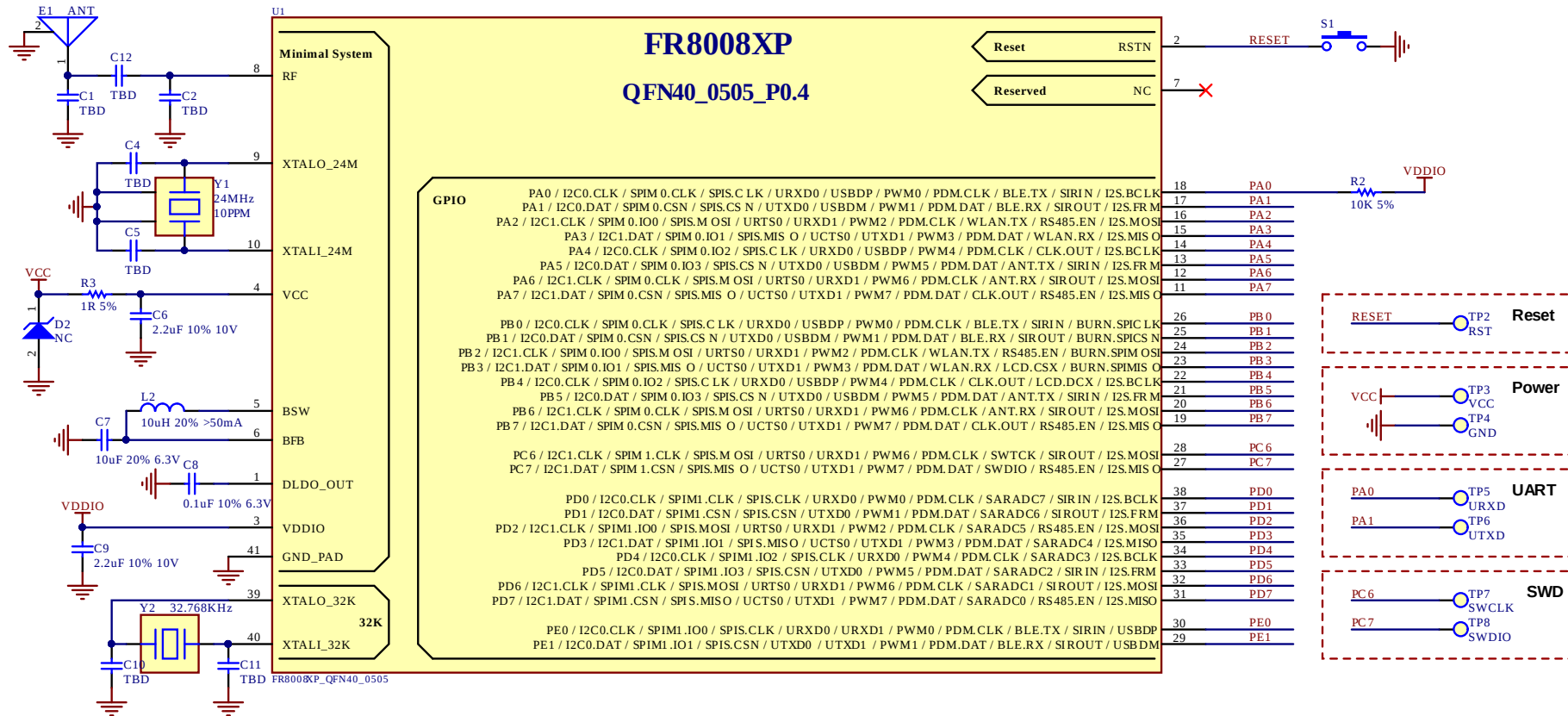
3.2 FR8003D 参考设计原理图



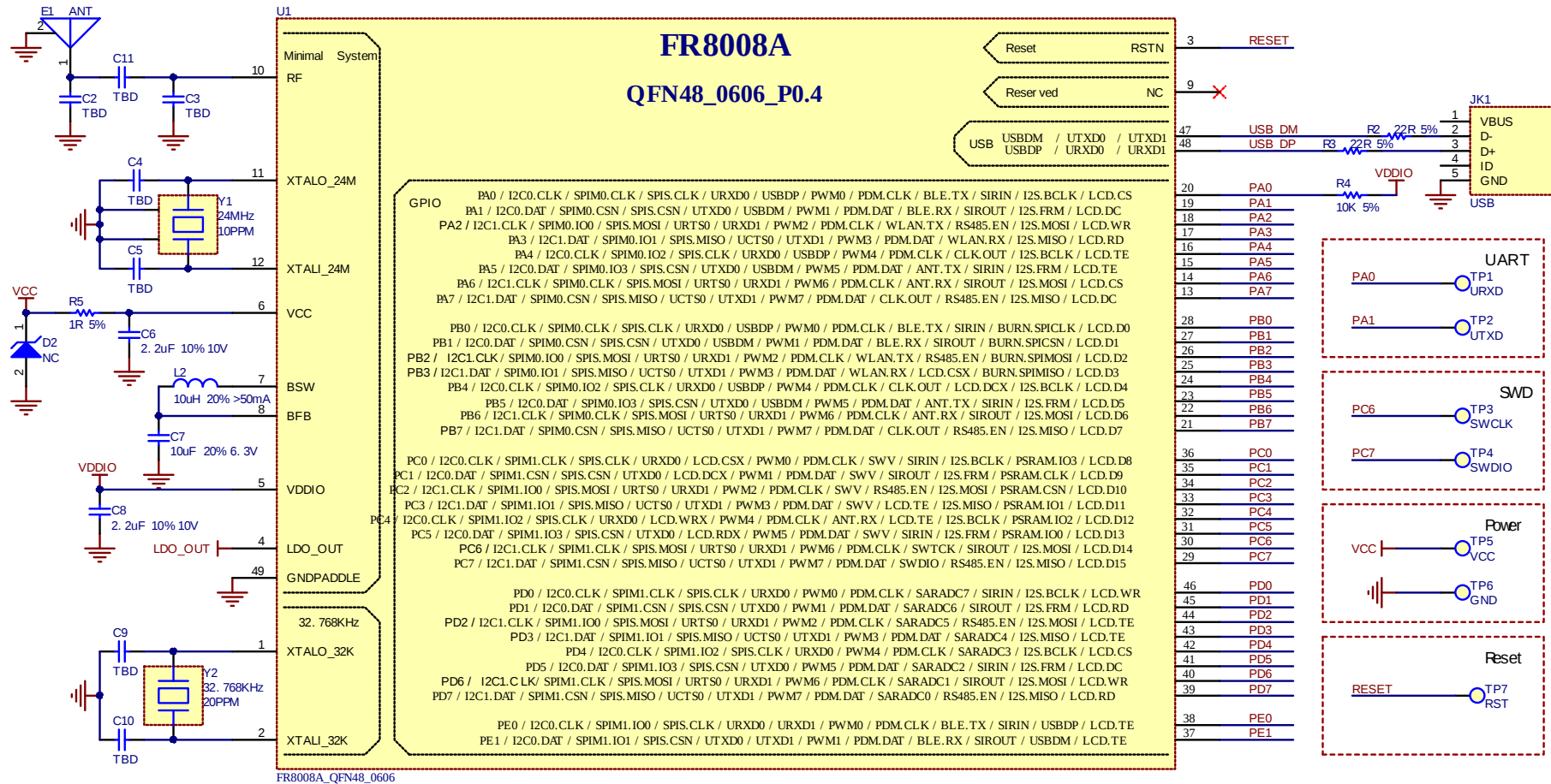
3.3 FR8008AP 参考设计原理图



3.4 FR8008XP 参考设计原理图



3.5 FR8008A 参考设计原理图



4. 应用设计注意事项

4.1 原理图设计注意事项

4.1.1 元件选型:

- (1) 天线匹配电路中的电感选用高 Q 值、低内阻的高频电感，电容选用 NP0/COG 稳定性好的 I 类电容。
- (2) 建议选用频率公差正负 10PPM、CL≤12pF 的晶振，预留晶振负载电容位置，通过频偏测试来确定电容值。
- (3) L2 选用绕线电感或功率叠层电感，额定电流大于 50mA，内阻小于 1ohm，自谐振频率大于 10MHz。
- (4) VBAT 脚的电容耐压值不小于 10V，VCHG 脚的电容耐压值不小于 16V。

4.1.2 管脚说明:

- (1) FR8008XP支持UART、I2C、SPI、PWM、ADC、I2S、PDM等功能。
- (2) PA0、PA1默认为UART口，PC6、PC7默认为J-Link口。PA0、PA1在PCB上务必预留测试点，PC6、PC7 PCB板有空间的也一并预留测试点。
- (3) Port D口支持SAR ADC，其中PD6、PD7支持ADKEY。
- (4) 所有的GPIO口支持输出、输入、floating状态，默认floating状态。
- (5) I/O口输出高电平时的驱动电流最大8mA。
- (6) RSTN脚低电平复位。
- (7) VDDIO脚最大输出电流100mA@2.9V

4.2 PCB Layout 注意事项

电路设计及布局:

- (1) 左侧上面部分为 FR8008XP 最小系统。非低功耗应用中，由芯片内部 LDO 降压，可以省去电感 L2、改小 C7（取值不可小于 2.2uF）。
- (2) 天线区域净空处理，远离金属和电池，远离高频噪声源。预留 π 型匹配电路，用于天线阻抗调试。
- (3) RF 走线按 50 Ω 微带线设计，到天线间的距离尽量短，布成圆弧或 135°拐角，避免直角走线。天线参考 GND 与芯片底部 GND 以敷地铜的方式连接，不可被其它走线分割。RF 走线周围密集 GND 过孔屏蔽隔离。
- (4) L2 摆放时靠近芯片的 BSW 脚放置，L2 相邻层敷地铜。C7 靠近 L2，BFB 走线需经过 C7，走线尽量短和宽。C7 负极至少放置两个 GND 过孔，与芯片底部 GND 以敷地铜的方式连接，不可被其它走线分割。
- (5) 电感 L2 与晶振 Y1 摆放时不可靠得太近，尽量隔开距离，否则影响射频性能。晶振周围放置密集 GND 过孔屏蔽隔离。
- (6) 电路中所有稳压滤波电容务必靠近芯片相关引脚放置。
- (7) 如果产品需要通过类似 IEC 认证，防静电要求>2KV，建议在相关引脚和接口处预留 ESD 防护器件。

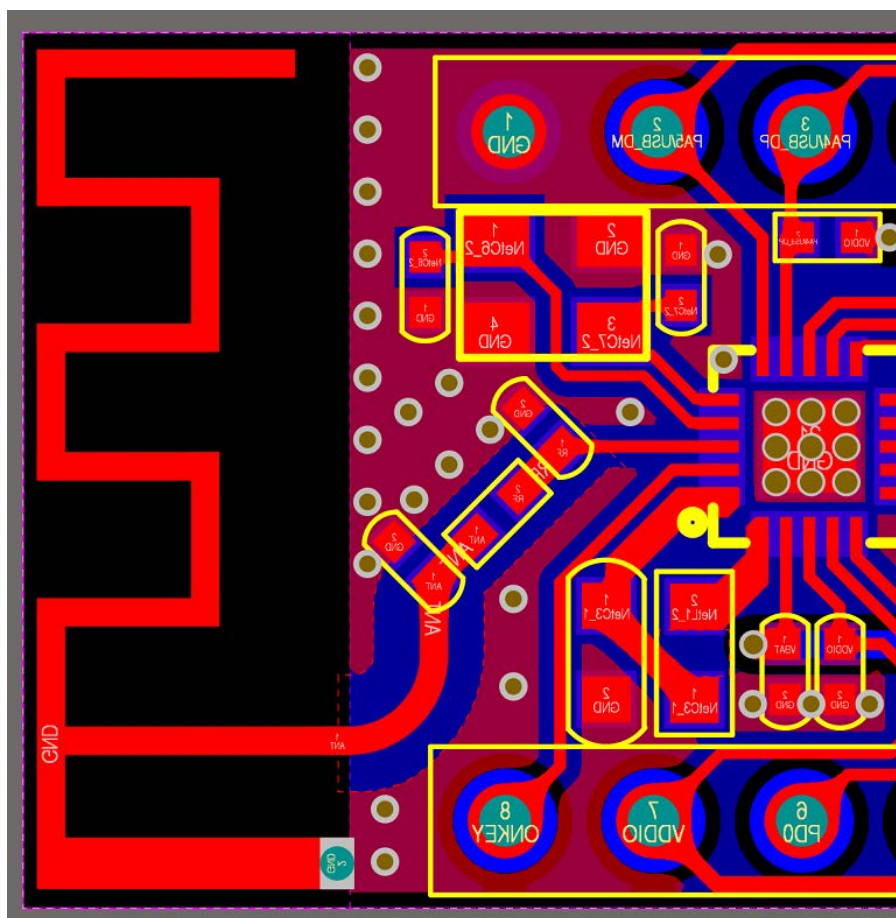
4.3 GPIO 注意事项

所有管脚可以被配置为输入和输出 2 种状态。GPIO 管脚的高电平输出为 VDDIO 脚电压，VDDIO 脚电压值可通过 API 配置。GPIO 做为输入模式时的门限是，高电平需要 $> 0.7 * VDDIO$ 脚电压，低电平需要 $< 0.3 * VDDIO$ 脚电压。

注意：管脚 PA0、PA1 在系统初始化运行时，内部固化的 rom code 会配置为 uart0 的控制管脚。PA1 会输出内部 uart 打印信息，PA0 会接收外部的打印信息。设计时最好接按键或者高阻之类的不影响软件烧录。

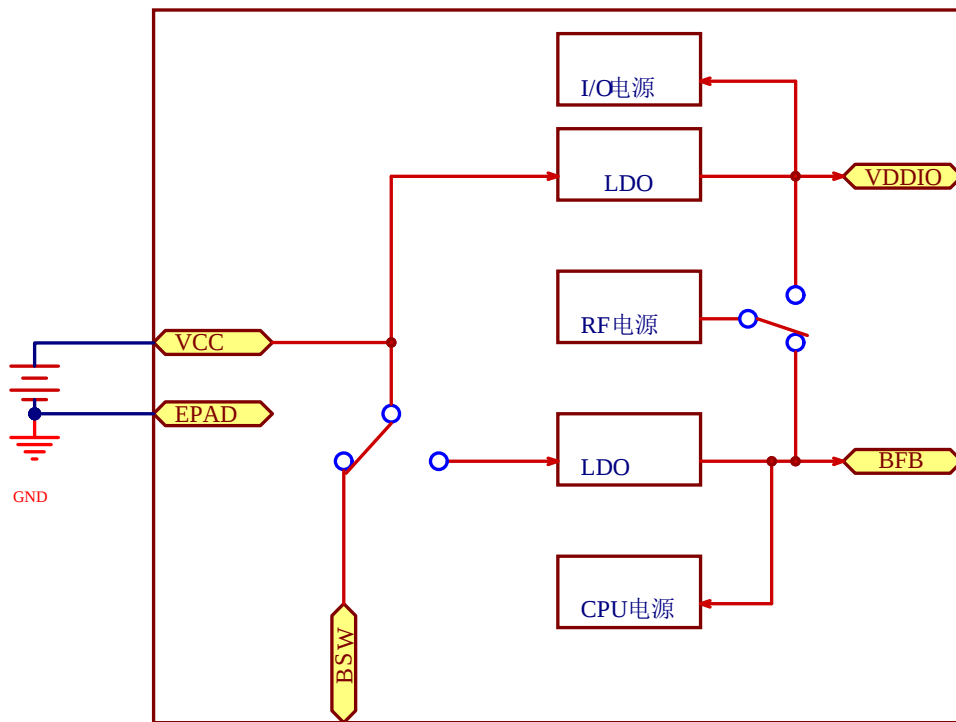
4.4 射频电路部分

- 射频走线需要走 50ohm 阻抗线，走线尽量短和宽，不要有过孔，最好和芯片同层。不能走直角，尽量使用圆弧走线或 135° 角走线，走线宽度保持一致，避免分支走线，周围地孔屏蔽。确保射频走线底层有完整的地平面，并且与芯片底部的 GND 相连。
- 预留 π 形匹配电路，靠近芯片 RF 脚放置，用于天线匹配，天线匹配阻抗往 50 Ω 方向调，元件参数值根据天线和 PCB 布局实测后确定。
- 天线尽量使用倒 F 形。
- 天线必须放置在板边，严禁被 GND 包裹，且正反面需要净空区，远离金属和电池，远离高频噪声源。



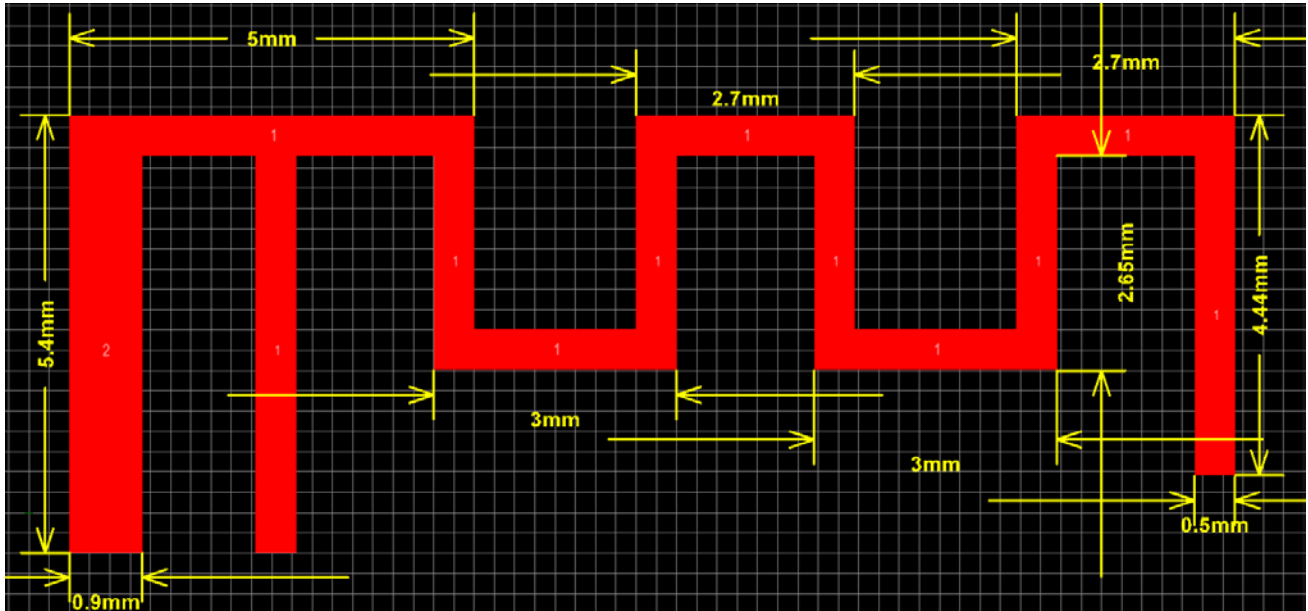
4.7 系统设计

- 每个方案量产前，需要抽取几台样机，根据实际使用的晶振、天线进行频偏和天线阻抗匹配调试。如果不做频偏和天线阻抗匹配调试，会影响射频性能，表现为搜索连接时间长、收发数据不稳定、断线等等。
- 系统中有电机等高功率器件，在 PCB 设计时，务必把蓝牙部分的 GND 回路与高功率器件的 GND 回路分开，然后单点连接到电源地。
- 芯片内部电源系统如下图，电源只有 VBAT 是主电源输入。



5. PCB 参考天线

- PCB 板载天线可满足一般应用需求，但是性能稍差、易受干扰，优点是成本低廉、整机组装方便。对于产品尺寸小、性能要求高的应用，请选用贴片陶瓷天线或外置天线。
- 倒 F 天线



联系方式 Contact Information

Website: www.freqchip.com

Sales Email: sales@freqchip.com

Phone: +86-21-5027-0080

修订历史 Revision History

Feedback:

Freqchip welcomes feedback on this product and this document. If you have comments or suggestions, please send an email to doc@freqchip.com.

Reversion Number	Reversion Date	Description
V1.0	2022.8.25	Initial Draft
V1.1	2022.10.9	Add FR8008A
V1.2	2023.4.25	Modify pin function
V1.3	2023.11.16	Modify pin description
V1.4	2023.11.21	Modify FR8003A/D Package Physical Dimension